



KOREAN PATENT ABSTRACTS(KR)

Document Code:B1

(11) Registration No.1019990200766

(24) Registration Date. 19990311

(21) Application No.1019960061661

(22) Application Date. 19961204

(51) IPC Code:

G11C 11/407

(71) Applicant:

SAMSUNG ELECTRONICS CO., LTD.

(72) Inventor:

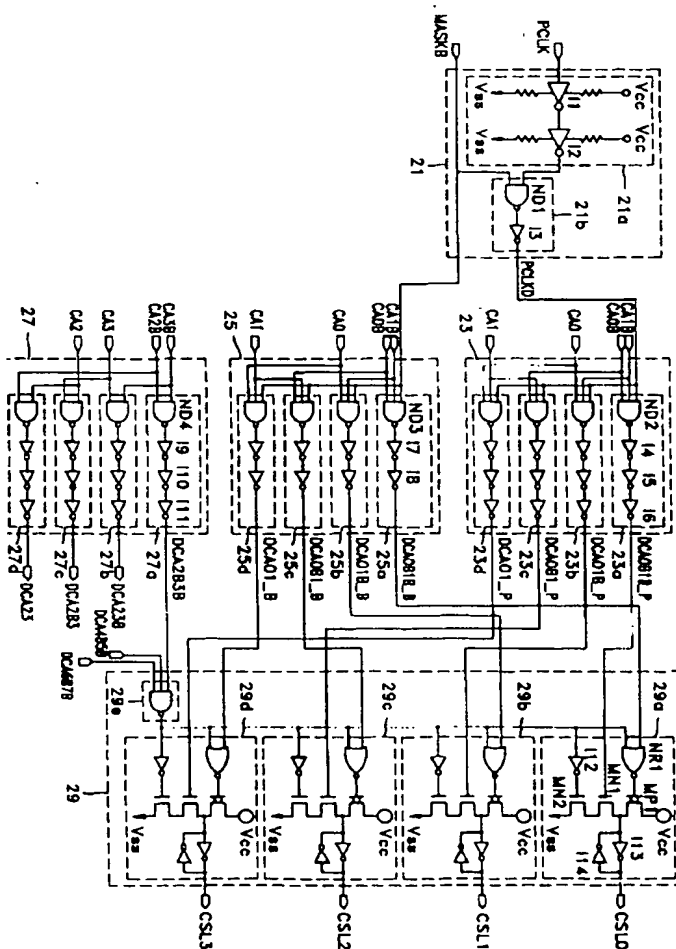
CHO, IL JAE

(30) Priority:

(54) Title of Invention

COLUMN DECODER WITHIN SEMICONDUCTOR MEMORY DEVICE

Representative drawing



(57) Abstract:

PURPOSE: A column decoder within a semiconductor memory device is provided to increase an overlap margin between column selection signals, and to effectively mask a column selection line during an access mode.

CONSTITUTION: The column decoder includes a masking part(21), pre-decoders (23,25,27) and a main decoder(2). The masking part(21) delays an internal clock signal(PCLK), and generates a control clock signal(PCLKD) according to a predetermined masking signal (MASKB). The first pre-decoder(23) decodes input column addresses(CA0,CA1) and their inversion signals (CA0B,CA1B) according to the control clock signal (PCLKD) from the masking

part(21). The second pre-decoder(25) decodes the column addresses(CA0,CA1)

AL

and their inversion signals(CA0B,CA1B) according to the masking signal(MASKB). The third pre-decoder(27) decodes column addresses(CA2,CA3) and their inversion signals(CA2B,CA3B). The main decoder(2) enables selected one of column selection lines(CSL0,CSL1,CSL2,CSL3) according to the decoded signals from the pre-decoders.

COPYRIGHT 2001 KIPO

if display of image is failed, press (F5)

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ G11C 11/407		(45) 공고일자 (11) 등록번호 (24) 등록일자	1999년06월 15일 10-0200766 1999년03월 11일
(21) 출원번호 (22) 출원일자 (73) 특허권자 (72) 발명자 (74) 대리인	10-1996-0061661 1996년 12월 04일 삼성전자주식회사 윤종용 경기도 수원시 팔달구 매탄3동 416 조일재 경기도 수원시 팔달구 인계동 847-38번지 권석훈, 노민식, 이영필	(65) 공개번호 (43) 공개일자	특 1998-0043707 1998년 09월 05일

심사관 : 장현근

(54) 반도체 메모리장치의 칼럼디코더

요약

본 발명은 반도체 메모리장치의 칼럼디코더에 관한 것이다. 본 발명에 따른 칼럼디코더는, 내부클락을 지연시키고 소정의 마스크 신호를 게이팅 신호로하여 제어클락을 발생하는 클락지연 및 마스크 수단과, 상기 제어클락을 게이팅 신호로하여 외부에서 입력되는 칼럼 어드레스의 일부를 디코딩하는 제1프리디코더와, 상기 소정의 마스크 신호를 게이팅 신호로하여 상기 칼럼 어드레스의 일부를 디코딩하는 제2프리디코더와, 상기 칼럼 어드레스의 다른 일부를 디코딩하는 복수개의 제3프리디코더와, 상기 제1, 제2, 및 복수개의 제3프리디코더에서 디코딩된 출력신호들을 입력으로하여 칼럼 선택라인중 선택된 어느 하나를 인에이블시키는 메인디코더를 구비하는 것을 특징으로 한다. 따라서 본 발명에 따른 칼럼디코더에서는, 상기 제어클락을 발생하는 클락지연 및 마스크 수단에서 지연시간을 제어함으로써 칼럼 선택라인의 액티브 시점 및 액티브 구간을 용이하게 조절할 수 있다. 이에 따라 칼럼 선택라인 신호간의 오버랩 마진을 확보하면서 명확한 칼럼 선택라인 신호 폭을 최대로 할 수 있는 장점이 있다. 또한 연속적인 칼럼 어드레스가 입력되어 칼럼 선택라인을 연속적으로 선택하다가 하나의 칼럼 선택라인을 마스크하고자 할 경우, 마스크 신호를 이용하여 제어클락이 발생되지 않게 함으로써 하나의 칼럼 선택라인을 쉽게 마스크할 수 있는 장점이 있다.

대표도

도2

영세서

도면의 간단한 설명

- 도 1은 종래의 칼럼디코더의 회로도
- 도 2는 본 발명의 실시예에 따른 칼럼디코더의 회로도
- 도 3은 도 1에 도시된 종래의 칼럼디코더의 동작 타이밍도
- 도 4는 도 2에 도시된 본 발명의 실시예에 따른 칼럼디코더의 동작 타이밍도

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리장치의 칼럼디코더에 관한 것으로, 특히 클락의 주파수가 높은 반도체 메모리장치에서 칼럼 선택라인 신호간의 오버랩 마진(Overlap Margin)을 확보하면서 명확한(Valid) 칼럼 선택라인 신호 폭을 최대로 하고, 또한 데이터 마스크를 용이하게 하는 칼럼디코더에 관한 것이다.

반도체 메모리장치에서는 비트라인을 통해 데이터가 입출력된다. 특히 리드동작에서는, 메모리셀 내에 있는 데이터가 비트라인 감지증폭기에 의해 증폭되고 외부에서 입력되는 칼럼 어드레스에 의해 여러개의 비트라인중 한 개의 비트라인이 선택되어 증폭된 데이터가 입출력라인으로 전달된다. 이때 여러개의 비트라인중 한 개의 비트라인을 선택하는 것은 칼럼디코더에 의해 이루어지며, 칼럼디코더는 일반적으로 프리디코더와 메인디코더로 구성되어 있다.

도 1은 종래의 칼럼디코더의 회로도를 나타낸다.

도 1을 참조하면, 상기 종래의 칼럼디코더는, 외부에서 입력되는 칼럼 어드레스(CA0, CA1) 및 이의 반전

신호(CA0B, CA1B)를 입력으로하여 디코딩된 칼럼 어드레스(DCA01, DCA0B1, DCA01B, DCA0B1B)를 발생하는 프리디코더(11)과, 상기 디코딩된 칼럼 어드레스(DCA01, DCA0B1, DCA01B, DCA0B1B)를 입력으로하여 칼럼 선택라인(CSL0, CSL1, CSL2, CSL3)들중 선택되는 어느 하나를 인에이블시키는 메인디코더(13)을 구비하고 있다. 상기 프리디코더(11)은 상기 칼럼 어드레스(CA0, CA1) 및 이의 반전신호(CA0B, CA1B)들을 조합하여 논리곱하는 복수개의 논리수단(11a, 11b, 11c, 11d)로 구성되고, 상기 각 논리수단은 1개의 낸드게이트와 3개의 인버터가 직렬연결되어 구성된다. 상기 메인디코더(13)은 도시되지 않은 다른 프리디코더에서 디코딩된 출력신호(DCA2B3B, DCA4B5B, DCA6B7B)들을 논리곱하고 반전시키는 논리수단(13e)와, 상기 프리디코더(11)의 각 출력신호(DCA0B1B, DCA01B, DCA0B1, DCA01) 및 상기 논리수단(13e)의 출력신호를 각각 입력으로하여 상기 각 칼럼 선택라인(CSL0, CSL1, CSL2, CSL3)으로 출력신호를 출력하는 복수개의 디코딩수단(13a, 13b, 13c, 13d)로 구성된다. 여기에서 상기 각 디코딩수단은 1개의 노아게이트와 3개의 인버터로 구성되어 있다.

도 3은 도 1에 도시된 종래의 칼럼디코더의 동작 타이밍도이다.

도 3을 참조하여 도 1에 도시된 종래의 칼럼디코더의 동작을 설명하면 다음과 같다. 먼저 칼럼 어드레스 스트로브 신호(CASB)가 로우가 되면 칼럼 어드레스(CA0 내지 CA7)이 입력되며, 이때 칼럼 어드레스(CA0, CA1) 및 이의 반전신호(CA0B, CA1B)중 하이가 되는 두 개의 신호에 의해 프리디코더(11)의 출력신호(DCA01, DCA0B1, DCA01B, DCA0B1B)중 하나가 하이가 되고 나머지는 로우가 된다. 다음에 도시되지 않은 다른 프리디코더에서 디코딩된 출력신호(DCA2B3B, DCA4B5B, DCA6B7B)가 모두 하이일 경우, 상기 프리디코더(11)의 출력신호(DCA01, DCA0B1, DCA01B, DCA0B1B)중 하이가 되는 신호에 의해 메인디코더(13)의 출력인 칼럼 선택라인(CSL0, CSL1, CSL2, CSL3)들중 어느 하나가 인에이블된다.

그런데 통상적으로 칩내에서는 칼럼 어드레스 버퍼의 위치에 의해 어드레스간의 스큐가 발생하게 되므로, 도 1의 종래의 칼럼디코더의 프리디코더에서는 상기 칼럼 어드레스의 스큐와 또한 상기 칼럼 어드레스 버퍼와 상기 프리디코더 사이의 위치 차이에 의한 스큐가 첨가되게 된다. 이에 따라 도 3에서 볼 수 있듯이 프리디코더의 출력신호들(DCA01, DCA23, DCA45, DCA67)에서 T1 만큼의 스큐가 발생되게 된다. 따라서 프리디코더의 출력신호들(DCA01, DCA23, DCA45, DCA67)의 스큐에 의해 칼럼 선택라인(CSL0, CSL1, CSL2, CSL3)의 인에이블 스큐 및 디스에이블 스큐가 발생되며, 각 칼럼 선택라인(CSL0, CSL1, CSL2, CSL3)간에 오버랩(Overlap)이 발생되지 않도록 T2 마진을 확보하고자 할 경우 명확한(Valid) 칼럼 선택라인 신호의 폭이 좁아지는 문제점이 있다. 일반적으로 각 칼럼 선택라인간에 오버랩이 생기면 메모리셀에 불명확한 데이터가 쓰여지게 된다.

발명이 이루고자하는 기술적 과제

따라서 본 발명의 목적은, 클락의 주파수가 높은 반도체 메모리장치에서 칼럼 선택라인 신호간의 오버랩 마진을 확보하면서 명확한 칼럼 선택라인 신호 폭을 최대화 하고, 또한 데이터 마스킹을 용이하게 하는 칼럼디코더를 제공하는 데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명에 따른 칼럼디코더는, 내부클락을 지연시키고 소정의 마스킹 신호를 게이팅 신호로하여 제어클락을 발생하는 클락지연 및 마스킹 수단과, 상기 제어클락을 게이팅 신호로하여 외부에서 입력되는 칼럼 어드레스의 일부를 디코딩하는 제1프리디코더와, 상기 소정의 마스킹 신호를 게이팅 신호로하여 상기 칼럼 어드레스의 일부를 디코딩하는 제2프리디코더와, 상기 칼럼 어드레스의 다른 일부를 디코딩하는 복수개의 제3프리디코더와, 상기 제1, 제2, 및 복수개의 제3프리디코더에서 디코딩된 출력신호들을 입력으로하여 칼럼 선택라인중 선택된 어느 하나를 인에이블시키는 메인디코더를 구비하는 것을 특징으로 한다.

바람직한 실시예에 의하면, 상기 클락지연 및 마스킹 수단은, 상기 내부클락을 지연시키는 지연수단과, 상기 지연수단의 출력신호 및 상기 소정의 마스킹 신호를 논리곱하여 상기 제어클락을 출력하는 논리곱수단을 포함한다. 상기 제1프리디코더는, 상기 제어클락과 상기 칼럼 어드레스의 일부 및 이의 반전신호들을 조합하여 논리곱하는 복수개의 논리수단을 포함한다. 상기 제2프리디코더는, 상기 마스킹 신호와 상기 칼럼 어드레스의 일부 및 이의 반전신호들을 조합하여 논리곱하여 반전시키는 복수개의 논리수단을 포함한다. 상기 제3프리디코더는, 상기 칼럼 어드레스의 다른 일부 및 이의 반전신호들을 조합하여 논리곱하는 복수개의 논리수단을 포함한다. 상기 메인디코더는, 상기 복수개의 제3프리디코더에서 각각 디코딩된 출력신호들중 선택된 하나씩을 입력으로하여 논리곱하고 반전시키는 논리수단과, 상기 제1프리디코더의 각 출력신호들, 상기 제2프리디코더의 각 출력신호들 및 상기 논리수단의 출력신호를 각각 입력으로하여 상기 각 칼럼 선택라인으로 출력신호를 출력하는 복수개의 디코딩수단을 포함한다.

이하 첨부도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.

도 2는 본 발명의 실시예에 따른 칼럼디코더의 회로도이다.

도 2를 참조하면, 상기 칼럼디코더는, 내부클락(PCLK)를 지연시키고 소정의 마스킹 신호(MASKB)를 게이팅 신호로하여 제어클락(PCLKD)를 발생하는 클락지연 및 마스킹 수단(21)과, 상기 제어클락(PCLKD)를 게이팅 신호로하여 외부에서 입력되는 칼럼 어드레스(CA0, CA1) 및 이의 반전신호(CA0B, CA1B)를 디코딩하는 제1프리디코더(23)과, 상기 소정의 마스킹 신호(MASKB)를 게이팅 신호로하여 상기 칼럼 어드레스(CA0, CA1) 및 이의 반전신호(CA0B, CA1B)를 디코딩하는 제2프리디코더(25)와, 칼럼 어드레스(CA2, CA3) 및 이의 반전신호(CA2B, CA3B)를 디코딩하는 제3프리디코더(27)과, 상기 제1프리디코더(23)에서 디코딩된 출력신호(DCA0B1B_P, DCA01B_P, DCA0B1_P, DCA01_P), 상기 제2프리디코더(25)에서 디코딩된 출력신호(DCA0B1B_B, DCA01B_B, DCA0B1_B, DCA01_B), 상기 제3프리디코더(27) 및 도시되지 않은 다른 제3프리디코더에서 디코딩된 출력신호(DCA2B3B, DCA4B5B, DCA6B7B)들을 입력으로하여 칼럼 선택라인(CSL0, CSL1, CSL2, CSL3)중 선택된 어느 하나를 인에이블시키는 메인디코더(29)를 구비한다.

상기 클락지연 및 마스킹 수단(21)은, 상기 내부클락(PCLK)를 지연시키는 지연수단(21a)와, 상기 지연수

단(21a)의 출력신호 및 상기 소정의 마스크 신호(MASKB)를 논리곱하여 상기 제어클럭(PCLKD)를 출력하는 논리곱수단(21b)로 구성된다. 여기에서 상기 지연수단(21a)은 상기 내부클럭(PCLK)을 반전시키는 인버터(11)과, 상기 인버터(11)의 출력을 반전시키는 인버터(12)로 구성되어 있다. 또한 상기 논리곱수단(21b)은 상기 인버터(12)의 출력신호 및 상기 마스크 신호(MASKB)를 입력으로 하여 낸드 동작을 수행하는 낸드게이트(ND1)과, 상기 낸드게이트(ND1)의 출력신호를 반전시켜 상기 제어클럭(PCLKD)를 출력하는 인버터(13)로 구성되어 있다.

상기 제1프리디코더(23)은 상기 제어클럭(PCLKD), 상기 칼럼 어드레스(CA0, CA1) 및 이의 반전신호(CA0B, CA1B)들을 조합하여 논리곱하는 복수개의 논리수단(23a, 23b, 23c, 23d)로 구성되고, 상기 각 논리수단은 1개의 낸드게이트(ND2)와 3개의 인버터(14, 15, 16)가 직렬연결되어 구성된다. 여기에서 상기 논리수단(23a)은 상기 제어클럭(PCLKD), 상기 반전신호(CA0B, CA1B)들을 논리곱하여 디코딩된 출력신호(DCA0B1B_P)를 출력하고, 상기 논리수단(23b)은 상기 제어클럭(PCLKD), 상기 칼럼 어드레스(CA0) 및 상기 반전신호(CA1B)를 논리곱하여 디코딩된 출력신호(DCA01B_P)를 출력한다. 또한 상기 논리수단(23c)은 상기 제어클럭(PCLKD), 상기 칼럼 어드레스(CA1) 및 상기 반전신호(CA0B)를 논리곱하여 디코딩된 출력신호(DCA0B1_P)를 출력하고, 상기 논리수단(23d)은 상기 제어클럭(PCLKD), 상기 칼럼 어드레스(CA0, CA1)을 논리곱하여 디코딩된 출력신호(DCA01_P)를 출력한다.

상기 제2프리디코더(25)는 상기 마스크 신호(MASKB)와 상기 칼럼 어드레스(CA0, CA1) 및 이의 반전신호(CA0B, CA1B)들을 조합하여 논리곱하여 반전시키는 복수개의 논리수단(25a, 25b, 25c, 25d)로 구성되고, 상기 각 논리수단은 1개의 낸드게이트(ND3)와 2개의 인버터(17, 18)가 직렬연결되어 구성된다. 여기에서 상기 논리수단(25a)은 상기 마스크 신호(MASKB), 상기 반전신호(CA0B, CA1B)들을 논리곱하고 반전시켜 디코딩된 출력신호(DCA0B1B_B)를 출력하고, 상기 논리수단(25b)은 상기 마스크 신호(MASKB), 상기 칼럼 어드레스(CA0) 및 상기 반전신호(CA1B)를 논리곱하고 반전시켜 디코딩된 출력신호(DCA01B_B)를 출력한다. 또한 상기 논리수단(25c)은 상기 마스크 신호(MASKB), 상기 칼럼 어드레스(CA1) 및 상기 반전신호(CA0B)를 논리곱하고 반전시켜 디코딩된 출력신호(DCA0B1_B)를 출력하고, 상기 논리수단(25d)은 상기 마스크 신호(MASKB), 상기 칼럼 어드레스(CA0, CA1)을 논리곱하고 반전시켜 디코딩된 출력신호(DCA01_B)를 출력한다.

상기 제3프리디코더(27)은 상기 칼럼 어드레스(CA2, CA3) 및 이의 반전신호(CA2B, CA3B)를 조합하여 논리곱하는 복수개의 논리수단(27a, 27b, 27c, 27d)로 구성되고, 상기 각 논리수단은 1개의 낸드게이트(ND4)와 3개의 인버터(19, 110, 111)가 직렬연결되어 구성된다. 여기에서 상기 논리수단(27a)은 상기 반전신호(CA2B, CA3B)들을 논리곱하여 디코딩된 출력신호(DCA2B3B)를 출력하고, 상기 논리수단(27b)은 상기 칼럼 어드레스(CA3) 및 상기 반전신호(CA3B)를 논리곱하여 디코딩된 출력신호(DCA23B)를 출력한다. 또한 상기 논리수단(27c)은 상기 칼럼 어드레스(CA2) 및 상기 반전신호(CA2B)를 논리곱하여 디코딩된 출력신호(DCA2B3)를 출력하고, 상기 논리수단(27d)은 상기 칼럼 어드레스(CA2, CA3)을 논리곱하여 디코딩된 출력신호(DCA23)를 출력한다.

상기 메인디코더(29)는 상기 제3프리디코더(27) 및 도시되지 않은 다른 제3프리디코더에서 디코딩된 출력신호(DCA2B3B, DCA4B5B, DCA6B7B)들을 논리곱하고 반전시키는 논리수단(29e)와, 상기 제1프리디코더(23)의 각 출력신호(DCA0B1B_P, DCA01B_P, DCA0B1_P, DCA01_P), 상기 제2프리디코더(25)의 각 출력신호(DCA0B1B_B, DCA01B_B, DCA0B1_B, DCA01_B), 상기 논리수단(29e)의 출력신호를 각각 입력으로 하여 상기 각 칼럼 선택라인(CSL0, CSL1, CSL2, CSL3)으로 출력신호를 출력하는 복수개의 디코딩수단(29a, 29b, 29c, 29d)로 구성된다. 여기에서 상기 각 디코딩수단(29a, 29b, 29c, 29d)는 상기 제2프리디코더(25)의 출력신호(DCA0B1B_B, DCA01B_B, DCA0B1_B, DCA01_B)들중 선택된 어느 하나 및 상기 논리수단(29e)의 출력신호를 받아 논리합하여 반전시키는 논리합수단(NR1)과, 상기 논리수단(29e)의 출력신호를 반전시키는 반전수단(112)와, 소오스에 전원공급전압(VCC)이 인가되고 게이트에 상기 논리합수단(NR1)의 출력신호가 인가되는 피모스 트랜지스터(MP1)과, 드레인에 상기 피모스 트랜지스터(MP)의 드레인이 접속되고 게이트에 상기 제1프리디코더(23)의 출력신호(DCA0B1B_P, DCA01B_P, DCA0B1_P, DCA01_P)들중 선택된 어느 하나가 인가되는 제1엔모스 트랜지스터(MN1)과, 드레인에 상기 제1엔모스 트랜지스터(MN1)의 소오스가 접속되고 게이트에 상기 반전수단(112)의 출력신호가 인가되며 소오스에 접지전압(VSS)이 인가되는 제2엔모스 트랜지스터(MN2)와, 두 개의 인버터(113, 114)로 구성되며 상기 피모스 트랜지스터(MP1) 및 제1엔모스 트랜지스터(MN1)의 접속점에서 출력되는 신호를 래치시켜 상기 칼럼 선택라인(CSL0, CSL1, CSL2, CSL3)중 선택된 어느 하나로 출력신호를 출력하는 래치수단으로 구성되어 있다.

도 4는 도 2에 도시된 본 발명의 실시예에 따른 칼럼디코더의 동작 타이밍도이다.

도 4를 참조하여 도 2에 도시된 본 발명의 실시예에 따른 칼럼디코더의 동작을 설명하면 다음과 같다. 먼저 칼럼 어드레스 스트로브 신호(CASB)가 로우가 되면 칼럼 어드레스(CA0 내지 CA7)이 입력되고, 외부에서 입력되는 외부클럭(CLOCK)에 의해 내부클럭(PCLK)이 발생된다. 다음에 칼럼 어드레스(CA0 내지 CA7)가 명확한 값으로 셋팅된 후, 상기 내부클럭(PCLK)이 지연되어 발생된 제어클럭(PCLKD)가 하이인 구간동안에, 도 2의 제1프리디코더(23)에서 상기 칼럼 어드레스중 CA0 및 CA1을 샘플링하여 출력신호(DCA0B1B_P, DCA01B_P, DCA0B1_P, DCA01_P)들중 선택된 하나로 하이 펄스를 출력한다. 또한 도 2의 제2프리디코더(25)에서, 이때 마스크 신호(MASKB)는 하이이므로, 상기 CA0 및 CA1을 샘플링하여 출력신호(DCA0B1B_B, DCA01B_B, DCA0B1_B, DCA01_B)들중 선택된 어느 하나가 하이에서 로우로 변환된다. 또한 도 2의 제3프리디코더(27) 및 도시되지 않은 또 다른 제3프리디코더에서 상기 칼럼 어드레스중 CA2 내지 CA7을 샘플링하여 출력신호(DCA23, DCA45, DCA67)들중 선택된 하나씩을 하이로 인에이블시킨다. 그런데 상기 칼럼 어드레스는 어드레스 버퍼의 위치에 의하여 스누가 발생되고 이에 따라 상기 제3프리디코더의 출력신호(DCA23, DCA45, DCA67)에 스누를 발생시키게 된다. 그러나 도 2의 본 발명에 따른 칼럼디코더에서는, 클럭지연 및 마스크 수단(21)에서 내부클럭(PCLK)을 지연시키고 칼럼 어드레스가 명확한 구간에서 샘플링되기 때문에 상기 칼럼 어드레스의 스누가 제거된 제1프리디코더(23)의 출력신호(DCA0B1B_P, DCA01B_P, DCA0B1_P, DCA01_P)가 발생되게 된다. 또한 상기 제3프리디코더의 출력신호(DCA23, DCA45, DCA67)이 명확한 값을 가진후 상기 제1프리디코더(23)의 출력신호(DCA0B1B_P, DCA01B_P, DCA0B1_P, DCA01_P)에 하이 펄스를 출력시키고, 이에 따라 메인디코더(29)의 출력인 칼럼 선

캘라인(CSL0, CSL1, CSL2, CSL3)이 인에이블된다. 이후 상기 메인디코더(29)가 외부클럭(CLOCK)의 다음번 재 펄스에 의해 발생하는 제1, 제2, 제3프리디코더(23, 25, 27)의 출력신호를 받아, 상기 제2프리디코더(25)의 출력신호(DCA0B1B_P, DCA01B_P, DCA0B1_P, DCA01_P)가 하이로 변환될 때 상기 캘럼 선택라인(CSL0, CSL1, CSL2, CSL3)을 디스에이블시킨다.

본 발명은 상기 실시예에 한정되지 않으며, 다양한 변형이 본 발명의 기술적 사상내에서 당 기술분야에서 통상의 지식을 가진자에 의하여 가능하다.

발명의 효과

따라서 본 발명에 따른 캘럼디코더에서는, 캘럼 선택라인(CSL0, CSL1, CSL2, CSL3)이 제1프리디코더(23)의 출력신호(DCA0B1B_P, DCA01B_P, DCA0B1_P, DCA01_P)가 하이로 될 때 인에이블되고 제3프리디코더의 출력신호(DCA23, DCA45, DCA67)의 변환(Transition)을 받아서 디스에이블되므로, 제어클럭을 발생하는 클럭지연 및 마스킹 수단에서 지연시간을 제어함으로써 캘럼 선택라인의 액티브 시점 및 액티브 구간을 용이하게 조절할 수 있다. 이에 따라 캘럼 선택라인 신호간의 오버랩 마진을 확보하면서 명확한 캘럼 선택라인 신호 폭을 최대로 할 수 있는 장점이 있다. 또한 연속적인 캘럼 어드레스가 입력되어 캘럼 선택라인(CSL0, CSL1, CSL2, CSL3)을 연속적으로 선택하다가 하나의 캘럼 선택라인을 마스킹하고자 할 경우, 마스킹 신호(MASKB)를 이용하여 제어클럭(PCLKD)이 발생되지 않게 함으로써 하나의 캘럼 선택라인을 쉽게 마스킹할 수 있는 장점이 있다.

(57) 청구의 범위

청구항 1

내부클럭을 지연시키고 소정의 마스킹 신호를 게이팅 신호로하여 제어클럭을 발생하는 클럭지연 및 마스킹 수단; 상기 제어클럭을 게이팅 신호로하여 외부에서 입력되는 캘럼 어드레스의 일부를 디코딩하는 제1프리디코더; 상기 소정의 마스킹 신호를 게이팅 신호로하여 상기 캘럼 어드레스의 일부를 디코딩하는 제2프리디코더; 상기 캘럼 어드레스의 다른 일부를 디코딩하는 복수개의 제3프리디코더; 상기 제1, 제2, 및 복수개의 제3프리디코더에서 디코딩된 출력신호들을 입력으로하여 캘럼 선택라인중 선택된 어느 하나를 인에이블시키는 메인디코더를 구비하는 것을 특징으로 하는 반도체 메모리장치의 캘럼디코더.

청구항 2

제1항에 있어서, 상기 클럭지연 및 마스킹 수단은, 상기 내부클럭을 지연시키는 지연수단과, 상기 지연수단의 출력신호 및 상기 소정의 마스킹 신호를 논리곱하여 상기 제어클럭을 출력하는 논리곱수단을 포함하는 것을 특징으로 하는 반도체 메모리장치의 캘럼디코더.

청구항 3

제1항에 있어서, 상기 제1프리디코더는, 상기 제어클럭과 상기 캘럼 어드레스의 일부 및 이의 반전신호들을 조합하여 논리곱하는 복수개의 논리수단을 포함하는 것을 특징으로 하는 반도체 메모리장치의 캘럼디코더.

청구항 4

제1항에 있어서, 상기 제2프리디코더는, 상기 마스킹 신호와 상기 캘럼 어드레스의 일부 및 이의 반전신호들을 조합하여 논리곱하여 반전시키는 복수개의 논리수단을 포함하는 것을 특징으로 하는 반도체 메모리장치의 캘럼디코더.

청구항 5

제1항에 있어서, 상기 제3프리디코더는, 상기 캘럼 어드레스의 다른 일부 및 이의 반전신호들을 조합하여 논리곱하는 복수개의 논리수단을 포함하는 것을 특징으로 하는 반도체 메모리장치의 캘럼디코더.

청구항 6

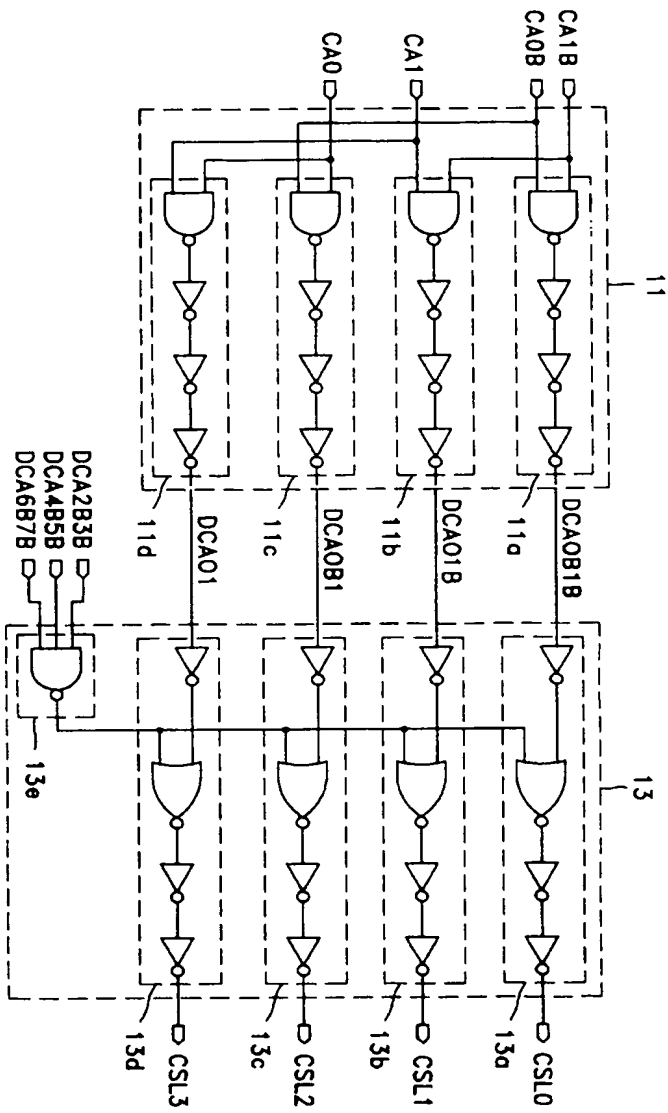
제1항에 있어서, 상기 메인디코더는, 상기 복수개의 제3프리디코더에서 각각 디코딩된 출력신호들중 선택된 하나씩을 입력으로하여 논리곱하고 반전시키는 논리수단과, 상기 제1프리디코더의 각 출력신호들, 상기 제2프리디코더의 각 출력신호들 및 상기 논리수단의 출력신호를 각각 입력으로하여 상기 각 캘럼 선택라인으로 출력신호를 출력하는 복수개의 디코딩수단을 포함하는 것을 특징으로 하는 반도체 메모리장치의 캘럼디코더.

청구항 7

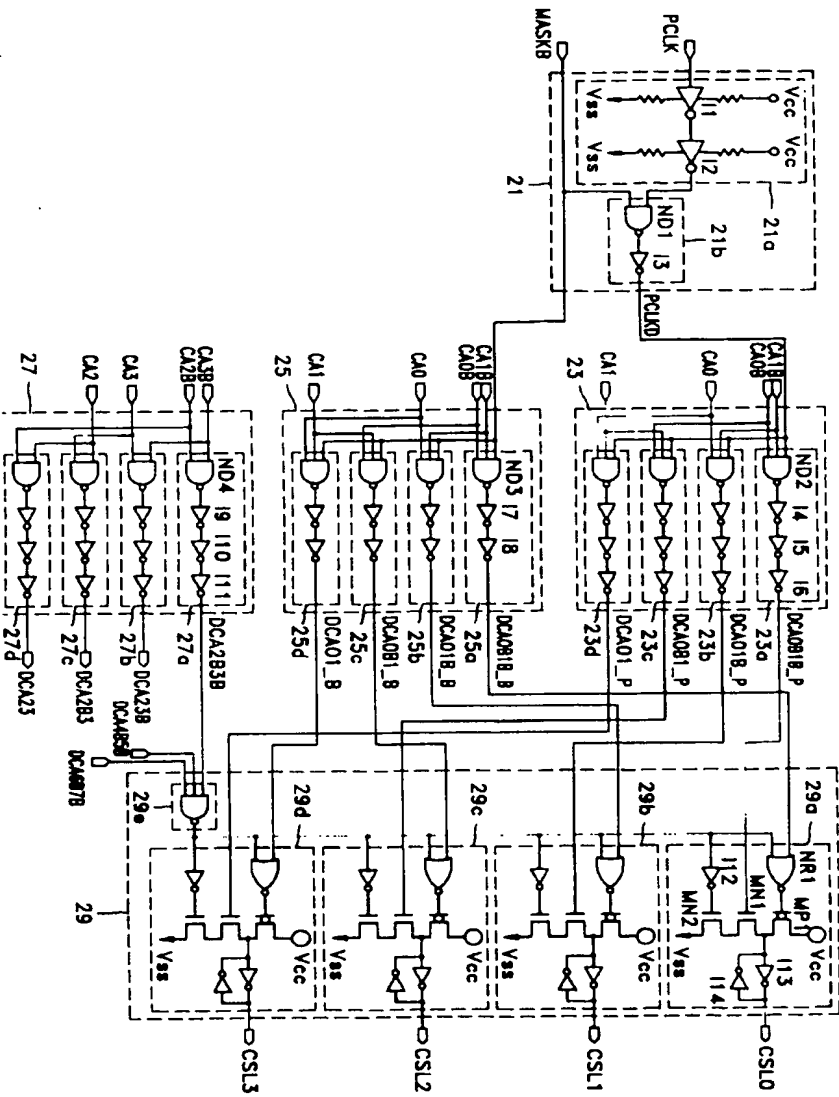
제6항에 있어서, 상기 디코딩수단은, 상기 제2프리디코더의 출력신호 및 상기 논리수단의 출력신호를 받아 논리합하여 반전시키는 논리합수단과, 상기 논리수단의 출력신호를 반전시키는 반전수단과, 소오스에 전원공급전압이 인가되고 게이트에 상기 논리합수단의 출력신호가 인가되는 피모스 트랜지스터와, 드레인에 상기 피모스 트랜지스터의 드레인이 접속되고 게이트에 상기 제1프리디코더의 출력신호가 인가되는 제1엔모스 트랜지스터와, 드레인에 상기 제1엔모스 트랜지스터의 소오스가 접속되고 게이트에 상기 반전수단의 출력신호가 인가되며 소오스에 접지전압이 인가되는 제2엔모스 트랜지스터와, 상기 피모스 트랜지스터 및 제1엔모스 트랜지스터의 접속점에서 출력되는 신호를 래치시켜 상기 캘럼 선택라인으로 출력신호를 출력하는 래치수단을 포함하는 것을 특징으로 하는 반도체 메모리장치의 캘럼디코더.

도면

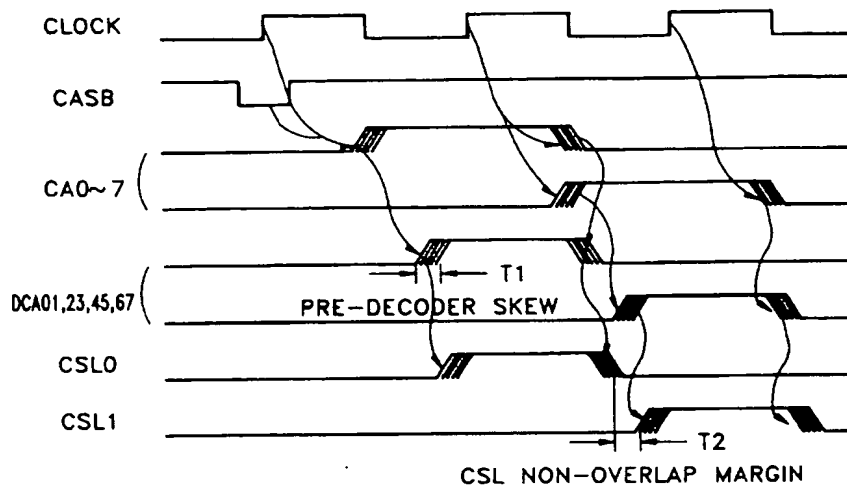
도면 1



도면2



도면3



도면4

